

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004354  
 (43)Date of publication of application : 06.01.1998

(51)Int.Cl.

H03M 1/74

(21)Application number : 08-175744

(71)Applicant : NIPPON MOTOROLA LTD

(22)Date of filing : 14.06.1996

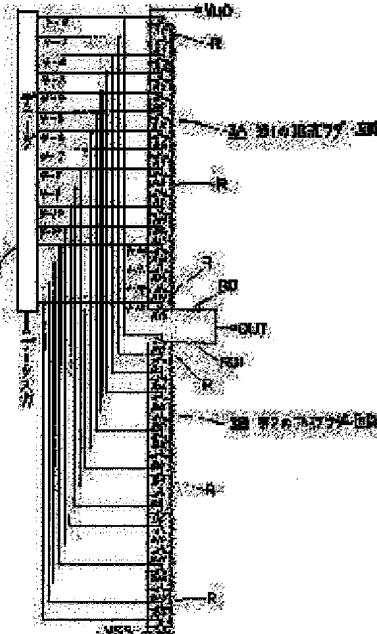
(72)Inventor : AIURA MASAMI  
NAKATANI YUICHI  
TAKAHASHI SATOSHI

## (54) DIGITAL/ANALOG CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the digital/analog(D/A) converter with a high operating speed, less output distortion and a wide dynamic range.

**SOLUTION:** A 1st resistance ladder circuit 3A and a 2nd resistance ladder circuit 3B each formed with series connection of a plurality of resistive components R for voltage division are connected in series, and an output terminal OUT is connected to the connecting point of them. For example, in the case of a 4-bit D/A converter, outputs of analog switches A1 to A15 are connected to voltage division points of the 1st resistance ladder circuit 3A and inputs of analog switches B1 to B15 are connected respectively to voltage division points of the 2nd resistance ladder circuit 3B and the opposite sides of the resistance ladder circuits with respect to the analog switches A1 to A15, B1 to B15 connect to a high level power supply VDD and a low level power supply VSS. Sets of the two analog switches A0, B0,..., A15, B15 whose voltage division points correspond to each other are simultaneously closed depending on data.



### LEGAL STATUS

[Date of request for examination] 25.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3730713

[Date of registration] 14.10.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4354

(43)公開日 平成10年(1998)1月6日

(51) Int.Cl.<sup>6</sup>

識別記号

府内整理番号

F I

技術表示箇所

H 03 M 1/74

H 03 M 1/74

審査請求 未請求 請求項の数4 FD (全 13 頁)

(21)出願番号

特願平8-175744

(22)出願日

平成8年(1996)6月14日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 相浦 正巳

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

(72)発明者 中谷 裕一

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

(72)発明者 高橋 晴

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

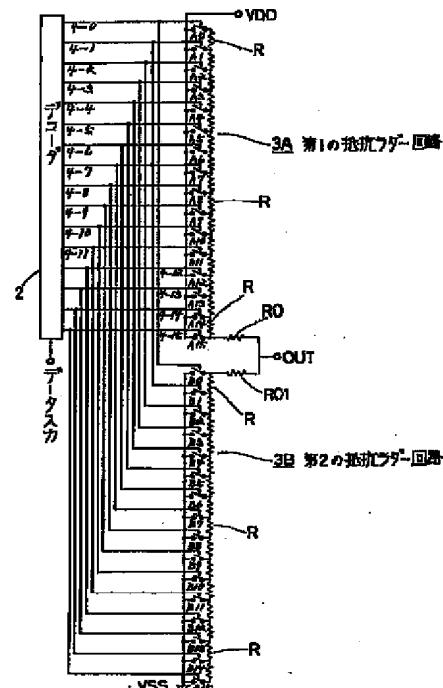
(74)代理人 弁理士 井上 傑夫

(54)【発明の名称】 ディジタル／アナログコンバータ

(57)【要約】

【課題】 高速で出力歪みが少なく、広いダイナミックレンジをとることができるD/Aコンバータを提供すること

【解決手段】 分圧用の複数の抵抗成分Rを直列に接続してなる第1の抵抗ラダーアイリス3 A及び第2の抵抗ラダーアイリス3 Bを直列に接続し、その接続点に出力端子OUTを接続する。例えば4ビットのD/Aコンバータの場合、第1の抵抗ラダーアイリス3 Aの各分圧点にはアナログスイッチA1～A15の出力側を、また第2の抵抗ラダーアイリス3 Bの各分圧点にはアナログスイッチB1～B15の入力側を々々接続し、アナログスイッチA1～A15、B1～B15の抵抗ラダーアイリスの逆側は、高位電源VDD、低位電源VSSに接続する。データに応じて分圧点が互いに対応する2つのアナログスイッチの組(A0、B0)…(A15、B15)が同時にオンされる。



## 【特許請求の範囲】

【請求項1】 分圧用の複数の抵抗成分を直列に接続してなる第1の抵抗ラダー回路と、この第1の抵抗ラダー回路に直列に接続され、分圧用の複数の抵抗成分を直列に接続してなる第2の抵抗ラダー回路と、前記第1及び第2の抵抗ラダー回路の互いの接続点に接続された出力端子と、出力端が第1の抵抗ラダー回路の各分圧点に夫々接続されると共に入力端が共通に高位電源に接続される複数の第1のアナログスイッチと、入力端が第2の抵抗ラダー回路の各分圧点に夫々接続されると共に出力端が共通に低位電源に接続される複数の第2のアナログスイッチと、第1及び第2のアナログスイッチのオン、オフを制御するデコーダと、を備え、

前記デコーダの入力信号に対応する第1のアナログスイッチ群の中のアナログスイッチと第2のアナログスイッチ群の中のアナログスイッチとが選択されてオン状態となるように、前記デコーダの出力側を第1及び第2のアナログスイッチの制御端に接続し、

前記デコーダの入力信号に応じて前記高位電源及び低位電源間の電圧を第1の抵抗ラダー回路及び第2の抵抗ラダー回路により分圧して、前記出力端子から出力電圧を取り出すように構成したことを特徴とするデジタル／アナログコンバータ。

【請求項2】 第1の抵抗ラダー回路及び第2の抵抗ラダー回路は、第1のレンジ調製用抵抗及び第2のレンジ調整用抵抗よりなる直列回路を介して互いに接続され、出力端子は、第1のレンジ調製用抵抗及び第2のレンジ調整用抵抗の互いの接続点に接続され、

第1のレンジ調製用抵抗及び第2のレンジ調整用抵抗は、その抵抗値を調整することにより出力電圧を変更できるように、抵抗値が可変であるかまたは交換可能に設けられていることを特徴とする請求項1記載のデジタル／アナログコンバータ。

【請求項3】 デコーダの入力信号に対応する第1のアナログスイッチ群の中のアナログスイッチ及び第2のアナログスイッチ群の中のアナログスイッチをオン状態にするときに、第1の抵抗ラダー回路及び第2の抵抗ラダー回路における分圧比に直接関係しないアナログスイッチも同時にオン状態にすることを特徴とする請求項1または2記載のデジタル／アナログコンバータ。

【請求項4】 デジタル／アナログコンバータの電力消費停止モードが選択されたときには、第1のアナログスイッチ群及び第2のアナログスイッチ群の少なくとも一方の全てのアナログスイッチをオフ状態にすることを特徴とする請求項1、2または3記載のデジタル／アナログコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば画像信号処理に用いられる電圧出力型の高速D/A（デジタル／、50

アナログ）コンバータの分野に関する技術である。

## 【0002】

【従来の技術】 例えば画像信号処理に用いられる電圧出力型のD/Aコンバータは高速化が要求され、図17に示す如く構成されている。同図は、便宜上4ビット長のものを一例として示してある。1は、抵抗成分を複数ステップに分けた抵抗ラダー回路であり、この抵抗ラダー回路1の両端のタップには夫々高位電源と低位電源とに接続されている。この例では高位電源の電位はD/Aコンバータが組み込まれるIC（集積回路）チップの電源電位VDDであり、低位電源の電位はOV（VSS）である。なお説明の便宜上高位電源及び低位電源の符号は夫々VDD、VSSとしてある。

【0003】 抵抗ラダー回路1の各ステップにはアナログスイッチS0～S15例えばMOSトランジスタのソース側が接続される一方、当該アナログスイッチS0～S15のドレイン側が出力端子OUTに接続されている。アナログスイッチS0～S15は、デコーダ2の出力がnビットである場合2<sup>n</sup>個設けられ、デコーダ2からの出力信号線が夫々アナログスイッチS0～S15のゲートに接続されている。

【0004】 デコーダ2は、入力されたデジタルデータに対応する出力信号線にコントロール信号を出力し、対応するアナログスイッチSi（iは0～15までの整数）をオンにする。これによりVDDとVSS間の電圧が抵抗ラダー回路1により分圧され、分圧された電圧値がVSS-OUT間に outputされる。

【0005】 また図18はD/Aコンバータの他の例を示す図であり、この例ではデコーダ2Aにデジタルデータの下位ビットが、また2Bに上位ビットが分かれて入力される。抵抗ラダー回路1のステップを選択するアナログスイッチS0～S15は、マトリックス状に配列され、デコーダ2A、2Bから出力されるコントロール信号の組み合わせに応じたアナログスイッチS0～S15が選択されてオンとなり、VDDとVSS間の電圧が分圧されてデジタルデータに対応する電圧値が同様に取り出される。C0～C3は上位ビット選択のスイッチである。S0～A15は下位ビット選択のアナログスイッチである。

【0006】 なお4ビット以外の他のビット数のD/Aコンバータについても同様な構成が用いられている。特に図18のD/Aコンバータにおいては、デコーダ2A、2Bに対するビット割り当てを適当な値とすることで他のビット数のD/Aコンバータを構成することができる。

## 【0007】

【発明が解決しようとする課題】 しかしながら従来の電圧出力型D/Aコンバータは次のような問題がある。

(1) 各アナログスイッチS0～S15は、抵抗ラダー回路1の接続位置（ステップ位置）によりゲート、ソ-

ス間電圧VGSが異なることから図19に示すようにN MOS (NチャネルMOS)トランジスタTr1とP MOS (PチャネルMOS)トランジスタTr2とを組み合わせて、両方もしくわ、いずれかのトランジスタがオンになるよう構成されている。ところでMOSトランジスタTr1、Tr2には浮遊容量があり、この浮遊容量を出力端子OUT側からみると、nビットのD/Aコンバータの場合図20に示す等価回路として表される。

【0008】図20は、入力データのコードがmの場合(アナログスイッチSmがオンした場合)に相当し、上段、下段の容量成分は、MOSトランジスタ入力端側の浮遊容量であり、OUT側のCDはMOSトランジスタの出力端側の浮遊容量である。またRONは、オン状態のMOSトランジスタの抵抗(オン抵抗)である。4ビットのD/Aコンバータにおいてコードが8の場合には図21に示す等価回路として表わされ、出力インピーダンスが最大になる。このように全アナログスイッチ側の浮遊容量CDが並列化された状態になるので回路の時定数が大きくなり、スイッチングの高速化が困難である。

【0009】また図18に示すD/Aコンバータでは、出力端子OUT側からみたアナログスイッチの浮遊容量は図17に示すものよりも小さいが、デコーダを2つに分け、スイッチ群を2つのグループに分けて2段構成としているため、出力電圧の中に2段のアナログスイッチの時定数が各々独立にまたは合成されて現われ、この結果出力信号に歪が生じる。

(2) 図17において、各トランジスタTr1、Tr2のゲート、ソース間電圧VGSは抵抗ラダー回路1の中間に位置するほど小さくなり、中間位置のアナログスイッチ(S7)のVGSが最も小さくなつてオンしにくくなる。従って中間位置のアナログスイッチが確実にオンするように回路設計する必要があるが、例えばVDDを5Vとした場合には中間位置のアナログスイッチのオン抵抗は小さいがVDDを3Vとした場合にはVGSが小さくなってしまい、オン抵抗が大きくなつて出力歪みが大きくなる。このように上述のD/Aコンバータは、アナログスイッチの接続位置によってVGSが変わり、アナログスイッチのオン抵抗が変わるため、最も条件の厳しい接続位置のアナログスイッチに基づいて出力電圧の範囲を決めなければならないので広いダイナミックレンジをとること、及び出力の低電圧化を図ることが困難である。

【0010】本発明は、高速で出力歪みが小さく、広いダイナミックレンジをとることのできるD/Aコンバータを提供することを目的とするものである。

【0011】

【課題を解決する手段】本発明のD/Aコンバータは、分圧用の複数の抵抗成分を直列に接続してなる第1の抵抗ラダー回路と、この第1の抵抗ラダー回路に直列に接

続され、分圧用の複数の抵抗成分を直列に接続してなる第2の抵抗ラダー回路と、前記第1及び第2の抵抗ラダー回路の互いの接続点に接続された出力端子と、出力端子が第1の抵抗ラダー回路の各分圧点に夫々接続されると共に入力端が共通に高位電源に接続される複数の第1のアナログスイッチと、入力端が第2の抵抗ラダー回路の各分圧点に夫々接続されると共に出力端が共通に低位電源に接続される複数の第2のアナログスイッチと、第1及び第2のアナログスイッチのオン、オフを制御するデコーダと、を備えている。

【0012】第1のアナログスイッチの数及び第2のアナログスイッチの数は、いずれも例えばD/Aコンバータの入力データのコード値のとりうる数に対応している。第1及び第2のアナログスイッチの制御端は、前記デコーダの出力側に接続されているが、その接続の仕方は、前記デコーダの入力信号に対応する第1のアナログスイッチ群の中のアナログスイッチと第2のアナログスイッチ群の中のアナログスイッチとが選択されてオン状態となるようになっている。

【0013】そして前記デコーダの入力信号に応じて前記高位電源及び低位電源間の電圧を第1の抵抗ラダー回路及び第2の抵抗ラダー回路により分圧して、前記出力端子から出力電圧を取り出すようにしている。

【0014】また本発明では、第1の抵抗ラダー回路及び第2の抵抗ラダー回路を、第1のレンジ調製用抵抗及び第2のレンジ調整用抵抗よりなる直列回路を介して互いに接続し、出力端子を、第1のレンジ調製用抵抗及び第2のレンジ調整用抵抗の互いの接続点に接続し、ダイナミックレンジを変更するときには、高位電源及び低位電源間の電圧を変更せずに、前記調製用抵抗の抵抗値を調整することが好ましい。

【0015】更に本発明では、デコーダの入力信号に対応する第1のアナログスイッチ群の中のアナログスイッチ及び第2のアナログスイッチ群の中のアナログスイッチをオン状態にするときに、第1の抵抗ラダー回路及び第2の抵抗ラダー回路における分圧比に直接関係しないアナログスイッチも同時にオン状態にすることが好ましく、このようにすれば、オン状態になるアナログスイッチが並列化されるのでオン抵抗が小さくなる。

【0016】更にまた本発明では、ディジタル/アナログコンバータの電力消費停止モードが選択されたときには、第1のアナログスイッチ群及び第2のアナログスイッチ群の少なくとも一方の全てのアナログスイッチをオフ状態にすれば、電力消費停止モード専用のアナログスイッチを設けなくて済む。

【0017】

【発明の実施の形態】図1は本発明の一実施の形態を示す回路図であり、説明の便宜上4ビット長のデータに対応する出力電圧を取り出すD/Aコンバータとして示してある。この実施の形態では、高位電源VDDと低位電

源VSSとの間に設けられた抵抗ラダー回路を分圧するにあたり、分圧点である出力端子OUTの高位電源VDD側の抵抗成分及び低位電源VSS側の抵抗成分の夫々について、独立に抵抗値が選択できるように構成されている。

【0018】即ち抵抗ラダー回路の中間部に出力端子OUTが接続され、この出力端子OUTよりも高位電源VDD側の抵抗成分を第1の抵抗ラダー回路3Aとし、また低位電源VSS側の抵抗成分を第2の抵抗ラダー回路3Bとし、これらは、この例では $2^4$ (=16)個の分圧点が選択できるように( $2^4 - 1$ )個の抵抗成分Rが直列に接続されている。なお第1の抵抗ラダー回路3Aの下端の抵抗成分R0、第2の抵抗ラダー回路3Bの上端のR01は、所定のアナログ電圧値が得られるように回路設計時に予め抵抗値が計算される調整用抵抗成分である。

【0019】第1の抵抗ラダー回路3Aの各分圧点には、MOSトランジスタよりなる第1のアナログスイッチA0～A15の出力端が夫々接続されており、第1のアナログスイッチA0～A15の入力端は高位電源VDDに共通に接続されている。ここで分圧点とは、抵抗成分R同士の接続点及び両端部を指すものである。また第2の抵抗ラダー回路3Bの各分圧点には、MOSトランジスタよりなる第2のアナログスイッチB0～B15の入力端が夫々接続されており、第2のアナログスイッチB0～B15の出力端は低位電源VSSに共通に接続されている。第1のアナログスイッチA0～A15としては、例えば図2に示すようにNMOストランジスタTr1及びPMOストランジスタTr2を並列に組み合わせたものが用いられ、第2のアナログスイッチB0～B15についても例えば第1のアナログスイッチA0～A15と同様のものが用いられる。

\*

$$V_0 = (V_{DD} - V_{SS}) \cdot R / (15 + R) = (V_{DD} - V_{SS}) / 16 \dots$$

(1)

同様にコード2、コード3…コード15の場合、夫々 $(V_{DD} - V_{SS}) \cdot 2 / 16$ 、 $(V_{DD} - V_{SS}) \cdot 3 / 16 \dots (V_{DD} - V_{SS}) \cdot 15 / 16$ となり、コード0の場合は0Vとなる。このようにV0は、上述のアナログスイッチの組の中で、オンになったアナログスイッチの組に対応して決定される分圧比に応じた値、即ちコード値に対応したアナログ値となる。

【0023】またデコーダ2にコードk( $1 \leq k$ )が入力されたときのアナログスイッチのオン、オフの状態については、A0～A(k-1)及びB(k+1)～Bn(上述の例ではnは15)は分圧比に無関係なので不定であるが、つまりオン、オフのいずれの状態でもよいが、A(k+1)～An及びB0～B(k-1)はオフの状態にしておく必要がある。

【0024】上述実施の形態によれば、出力端子OUTの位置を抵抗ラダー回路の中央部に固定し、この出力端

\* 【0020】デコーダ2の出力信号線である、ディジタル入力信号のティジタル値(コード値)0～15に対応する16本の出力信号路4-0～4-15は、第1のアナログスイッチA0～A15のグループ及び第2のアナログスイッチB0～B15のグループの中において、分圧点が互に対応する2つのアナログスイッチの組の16組(A0, B0), (A1, B1), … (A14, B14), (A15, B15)に対して夫々ゲート電圧を制御するように接続されている。VDDの値は例えば+3Vとされ、VSSは例えば0Vとされる。このような構成のD/AコンバータはICチップの中に組み込まれ、その出力電圧はOUT、VSS間の電圧としてICチップの端子から取り出される。また、この時のデコーダは、A0～A15を制御するデコーダとB0～B15を制御するデコーダを独立にあってもよいし、また、アナログスイッチ内のPMOS、NMOSを制御する信号線を独立にもつことも許容される。

【0021】次に上述実施の形態の動作について説明する。今デコーダ2にコード1のティジタルデータが入力されたとすると、デコーダ2の出力信号線4-1にスイッチをオンさせる為の信号例えば[H]レベルが出力され、高位電源側からみて2段目の分圧点に位置するアナログスイッチのA1と低位電源側からみて15段目の分圧点に位置するアナログスイッチB1がオンになる。抵抗ラダー回路3A、3Bの抵抗成分Rの抵抗値を同符号のRとして表わすと、出力端子OUTの高電位側の抵抗値及び低電位側の抵抗値は夫々15R及びRとなるから、出力電圧値V0(OUT-VSS間の電圧)は(1)式で表わされる。ただし説明の簡略化のためR0=RO1=0としている。

【0022】

子OUTの両側に夫々第1のアナログスイッチA0～A15のグループ及び第2のアナログスイッチB0～B15のグループを設けて、入力コード値に対応するアナログスイッチをオンにして両側の抵抗値を変え、分圧比を決定している。このような構成とすることにより、第1のアナログスイッチA0～A15は、第1の抵抗ラダー回路3Aを介さずに高位電源VDDに共通に接続され、また第2のアナログスイッチB0～B15は第2の抵抗ラダー回路3Bを介さずに低位電源VSSに共通に接続されることになる。

【0025】従って各アナログスイッチを構成するMOSトランジスタのゲート、ソース間電圧は、アナログスイッチの各段の位置にかかわらず一定であるため、言い換えばアナログスイッチのオン抵抗の電圧依存性を定数として扱うことができるため、抵抗ラダー回路の中心に近いアナログスイッチほどオンにくくなるといった

ことがなく、出力歪みが抑えられ、広いダイナミックレンジ（出力電圧幅）をとることができる。

【0026】また出力端子OUTから見たインピーダンスに着目すると、従来ではアナログスイッチ群が出力端子OUTに集中して接続されていたが、上述実施の形態ではアナログスイッチ群が抵抗成分を介して分散して配置されており、等価回路は図3に示すように表わされる。従って例えば図1においてA6、B6がオンすると、合成浮遊容量は、A6～A15とB0～B6までの合成分となる。一般にはAk、BkがオンするとAk～A15とB0～Bkまでの合成分となる。

【0027】この場合中間のアナログスイッチA7、B7がオンになったときの合成浮遊容量が最大になるが、それでも図20と比較してわかるように出力側（NMO SトランジスタTr1でいえばドレイン側）の浮遊容量Cdの並成合成分が含まれていないので従来の場合の半分になる。このように浮遊容量が低減されたためスイッチングの高速化を図ることができる。

【0028】次いで本発明の他の実施の形態を図4に示す。この実施の形態は、図18に示す従来の回路に本発明を適用したものであり、出力端子OUTの両側に第1の抵抗ラダー回路3A及び第2の抵抗ラダー回路3Bを設け、夫々の分圧点にアナログスイッチA0～A15、B0～B15を接続すると共にアナログスイッチA0～A15の入力端を高位電源VDDと共に接続し、アナログスイッチB0～B15のソース側を低位電源VSSと共に接続している。

【0029】即ち図4に示すD/Aコンバータは、本発明の要旨とする部分は上述の実施の形態と同様であるが、デコーダ2（図示の便宜上2A、2Bに分けて記載してある）に入力されるディジタルデータの下位2ビットに対応する出力信号線5-0～5-3と上位2ビットに対応する出力信号線6-0～6-3のマトリックスによって、第1のアナログスイッチA0～A15の中の対応するアナログスイッチと第2のアナログスイッチB0～B15の中の対応するアナログスイッチを選択するように構成されており、例えば下位2ビットの値に応じて、各アナログスイッチA0～A15、B0～B15のグループのアナログスイッチマトリックスの「列」を選択し、上位2ビットの値に応じて、上位ビット選択アナログスイッチC0～C7の中から対応するアナログスイッチのゲートにオン信号を与えて、前記アナログスイッチ\*

$$V_0 = (V_{DD} - V_{SS}) \times (R + R2) / (15R + R1 + R2) \dots (2)$$

従つてある設計仕様のD/Aコンバータを他の仕様で再利用する場合に有効である。なお抵抗値の一例を挙げると、例えばR=R1=R2とされる。また第1のアナログスイッチA0～A15はVDDに接続され、第2のアナログスイッチB0～B15はVSSに接続されているので、各アナログスイッチA0～A15、B0～B15を図2に示すような並列構成とせずに第1のアナログス

\*マトリックスの「行」を選択するようになっている。この実施の形態においても上述実施の形態と同様の効果がある。

【0030】ここでICチップを設計する場合、D/Aコンバータの抵抗ラダー回路に接続される高位電源及び低位電源の各基準電位を設定し、所定のダイナミックレンジ（アナログ電圧）が得られるように出力端子OUTの両側または片側に予め計算された抵抗値をもつ抵抗（図1ではR0、R01で示してある）を組み込むこと10が考えられる。このようなD/Aコンバータにおいては、ダイナミックレンジの変更は、基準電位を変えることにより行われる。

【0031】しかしながらこのようにするとアナログスイッチのゲート、ソース間電圧が変わり、そのオン抵抗が変動するので予定のダイナミックレンジが得られなくなる。従つてダイナミックレンジの変更を行う場合、特に抵抗ラダー回路の分圧比決定用の抵抗成分Rの抵抗値が小さいときにはそのICチップをそのまま流用することができなくなる。なお基準電位の変更に伴うオン抵抗の変動を抑えるためにはサイズの大きいアナログスイッチを用いればよいが、そうするとICチップのサイズが大きくなってしまう。

【0032】そこで本発明では、基準電位をICチップの電源電位であるVDD及びVSSにしてアナログスイッチのゲート、ソース間電圧を最大とし、つまりオン抵抗を最小とし、図5及び図6に示すように出力端OUTの両側の抵抗R1、R2をICチップの外に設けて交換可能な構成あるいは抵抗値が可変な構成とし、ダイナミックレンジの変更は、基準電位を変えることなく前記抵抗R1、R2の抵抗値を調整して行なうことが好ましい。またICチップの内部に抵抗R1、R2を持つ場合は、R1、R2を製造時に調整可能としておくことが好ましい。

【0033】このような構成とすれば、ダイナミックレンジを変更する場合つまりアナログ電圧を変える場合、例えば4ビットでコードが1のとき、出力電圧V0は(2)式で表わされるので、この(2)式に基づき、予定とするV0が得られるようにR1、R2を調整すればよく、アナログスイッチのオン抵抗の変動の問題はない。

#### 【0034】

イッチA0～A15についてはNMOSトランジスタのみとし、第2のアナログスイッチB0～B15についてはPMOSトランジスタのみとしてもよく、この場合回路素子数を削減できる効果がある。またMOSのかわりにバイポーラ素子を用いてもよい。なお本発明において基準電位はVDD、VSSに限定されるものではないし、データのビット数も4ビットに限られるものではない。

い。

【0035】そして本発明では、入力データのコード値に対応した一対のアナログスイッチをオン状態にするにあたって、既述のように分圧比に無関係なアナログスイッチについてはオン、オフのいずれの状態としてもよいが、これらアナログスイッチについてもオン状態することが望ましい。分圧比に無関係なアナログスイッチとは、例えば入力データのコード値  $k$  に対応してアナログスイッチ  $A_k$ 、 $B_k$  がオンになるとき、第1のアナログスイッチ  $A_k$  よりも VDD 側のアナログスイッチ  $A_0 \sim A_{(k-1)}$  と第2のアナログスイッチ  $B_k$  よりも VS 側のアナログスイッチ  $B_{(k+1)} \sim B_n$  とをいうものである。

【0036】図7はこのような動作をするD/Aコンバータを示し、この実施の形態ではデコーダ2とアナログスイッチA、Bとの間にゲート制御部7が介装されており、ゲート制御部7の出力信号路  $4A_0 \sim 4A_n$  は第1のアナログスイッチ  $A_0 \sim A_n$  のゲートに夫々接続され、出力信号路  $4B_0 \sim 4B_n$  は第2のアナログスイッチ  $B_0 \sim B_n$  のゲートに夫々接続されている。このゲート制御部7は、デコーダ2の出力信号路  $4-k$  にHレベルの信号が output されると、出力信号路  $4A_0 \sim 4A_{-k}$  及び  $4B_{-k} \sim 4B_n$  にアナログスイッチをオンにする信号、例えばHレベルの信号を output するように構成されている。図7では  $k$  が4のときつまりコード値が4のときのアナログスイッチの動作状態を示しており、第1のアナログスイッチ  $A_0 \sim A_4$  及び第2のアナログスイッチ  $B_4 \sim B_n$  が同時にオン状態になっている。

【0037】このような実施の形態によれば、直接分圧比に関係しないアナログスイッチもオン状態になるので、オン状態になるアナログスイッチが並列化され、この結果等価的にアナログスイッチのオン抵抗が小さくなる。これに対してコード値に対応するアナログスイッチのみをオン状態にする場合には、全てのアナログスイッチにおいてそのオン抵抗を、分圧比を決定する抵抗  $R$  に対して十分低く保たなければならないので、この場合に比べて図7の実施の形態ではアナログスイッチのサイズを小さくできるという利点、つまり個々のオン抵抗が大きくても予定の出力電圧が得られるという利点がある。なおこのような手法は、図4に示すタイプのD/Aコンバータにも適用できるが、追加してオン状態にできるアナログスイッチの数が図1に示すタイプのD/Aコンバータよりも少ないため、その効果は図7の例よりも少ないと考えられる。

【0038】ここで低電力アプリケーションでは、D/Aコンバータの非動作時に消費電力を小さくするためにD/Aコンバータ自体をオフ状態にすることが要求され、この状態はパワーダウンなどと呼ばれている。D/Aコンバータにパワーダウンモードを設ける場合VDD、VS間に流れる電流を切る必要があり、本発明では図8に示すようにデコーダ2の出力側にゲート制御回路8を設け、パワーダウンモード信号が入力されたときには、第1のアナログスイッチA及び第2のアナログスイッチの全てをオフするように構成している。

【0039】このような手法によれば次のようない点がある。即ち従来では抵抗ラダー回路と高位電源あるいは低位電源との間に、パワーダウンモード用のアナログスイッチを設け、これをオフにしていた。しかしながらこの場合にはそのアナログスイッチは低いオン抵抗のものでなければならないので、サイズが大型化してしまう欠点があった。これに対し、本発明ではパワーダウン専用のスイッチを設けなくて済む効果がある。なお第1のアナログスイッチまたは第2のアナログスイッチの一方のみを全てオフするようにしても同様の効果が得られる。

#### 【0040】

【実施例】本発明の有意味性を示す為、8ビット相当のD/Aコンバータでの簡単なシミュレーションを行った。先ず最終段のアナログスイッチ  $A_{255}$  及び  $B_{255}$  を20オン状態にし、その後  $A_{255}$  及び  $B_{255}$  をオフ状態にし、 $A_0$  及び  $B_0$  から順にオン状態にしたときの、出力電圧波形を調べた。結果は図9～図12に示す通りである。ただし図9は全体の出力波形図、図10、11、12は夫々コード値が0、128、255のときの出力波形の付近を示す拡大図である。図9からわかるように充分ランプ波形（のこぎり波形）として成立しており、また各部分拡大図においても各コード値の電圧に出力が収束しており、十分に動作している。

【0041】これに対して従来のD/Aコンバータ（図17に示す回路）についても同様のシミュレーションを行ったところ、図13～図16に示す結果が得られた。ただし図13は全体の出力波形図、図14、15、16は夫々コード値が0、128、255のときの出力波形の付近を示す拡大図である。図から分かるようにコード値  $255 \rightarrow 0$  に変化するところでスピードの劣化が見られ、コード値128付近においては動作していない。また動作している部分においても出力がなだらかに変化し、各コード値の電圧に収束していない。

【0042】以上のことから本発明では低い電圧においても動作が可能で十分な性能が得られ、従来回路に対して優れていることが理解される。

#### 【0043】

【発明の効果】本発明のD/Aコンバータによれば、高速で出力歪みが小さく、広いダイナミックレンジをとることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態を示す回路図である。

【図2】本発明の実施の形態で用いられるアナログスイッチを示す回路図である。

【図3】本発明の一実施の形態において、アナログスイ

ッヂ等の浮遊容量を等価的に示す等価回路図である。

【図4】本発明の他の実施の形態を示す回路図である。

【図5】本発明の更に他の実施の形態を示す回路図である。

【図6】本発明の更にまた他の実施の形態を示す回路図である。

【図7】本発明の上記以外の実施の形態を示す回路図である。

【図8】本発明の上記以外の実施の形態を示す回路図である。

【図9】本発明のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の全体図である。

【図10】本発明のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

【図11】本発明のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

【図12】本発明のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

【図13】従来のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の全体図である。

【図14】従来のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

【図15】従来のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

\* 【図16】従来のD/Aコンバータについてシミュレーションを行った結果を示す出力波形の部分拡大図である。

【図17】従来のD/Aコンバータの一例を示す回路図である。

【図18】従来のD/Aコンバータの他の例を示す回路図である。

【図19】従来のD/Aコンバータについてアナログスイッチを説明するための回路図である。

10 【図20】従来のD/Aコンバータについてアナログスイッチの浮遊容量を等価的に示す等価回路図である。

【図21】従来のD/Aコンバータについてアナログスイッチの浮遊容量を等価的に示す等価回路図である。

【符号の説明】

2、2A、2B、 デコーダ

3A 第1のラダー回路

3B 第2のラダー回路

4-0~4-15 出力信号路

R 抵抗成分

20 VDD 高位電源

VSS 低位電源

OUT 出力端子

A、A0~A15 第1のアナログスイッチ

B、B0~B15 第2のアナログスイッチ

C1~C8 補助のアナログスイッチ

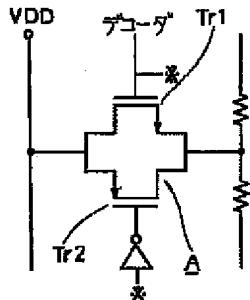
Tr1 NMOSトランジスタ

Tr2 PMOSトランジスタ

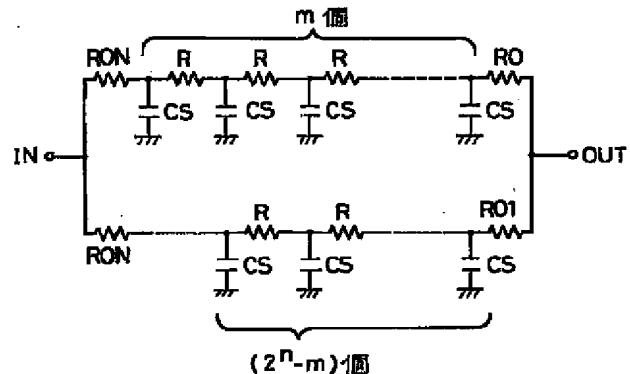
R1、R2 レンジ調整用抵抗

\* 7、8 ゲート制御回路

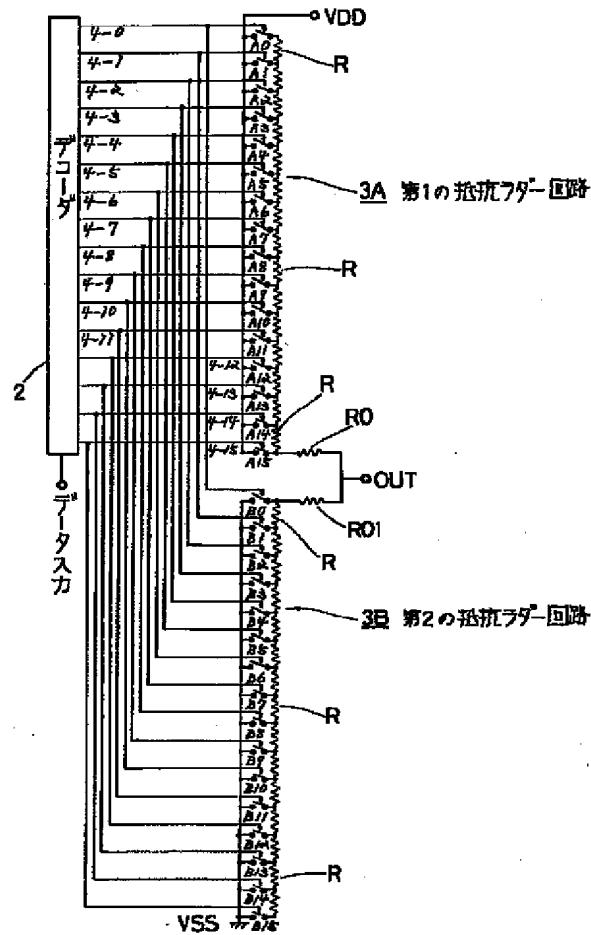
【図2】



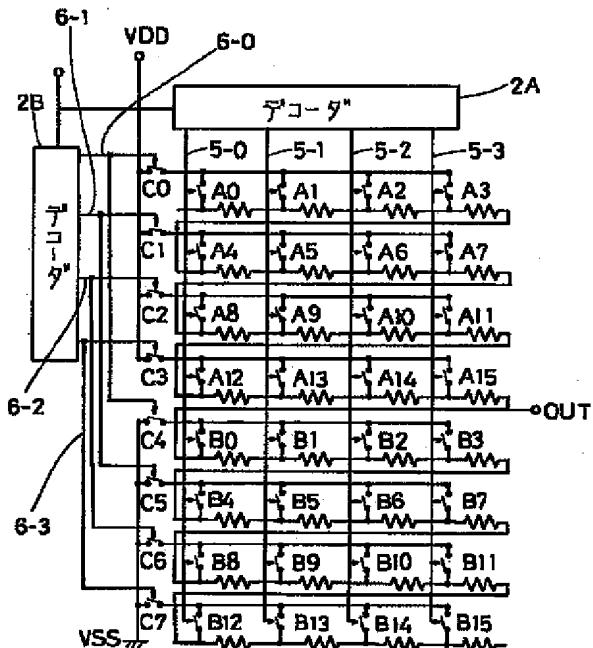
【図3】



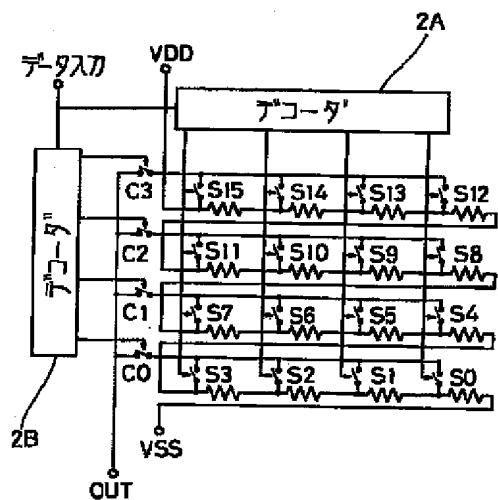
【図1】



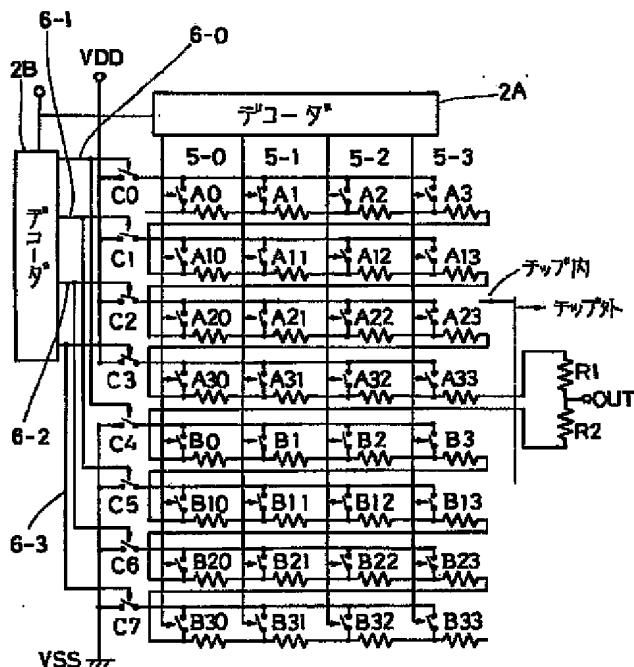
【図4】



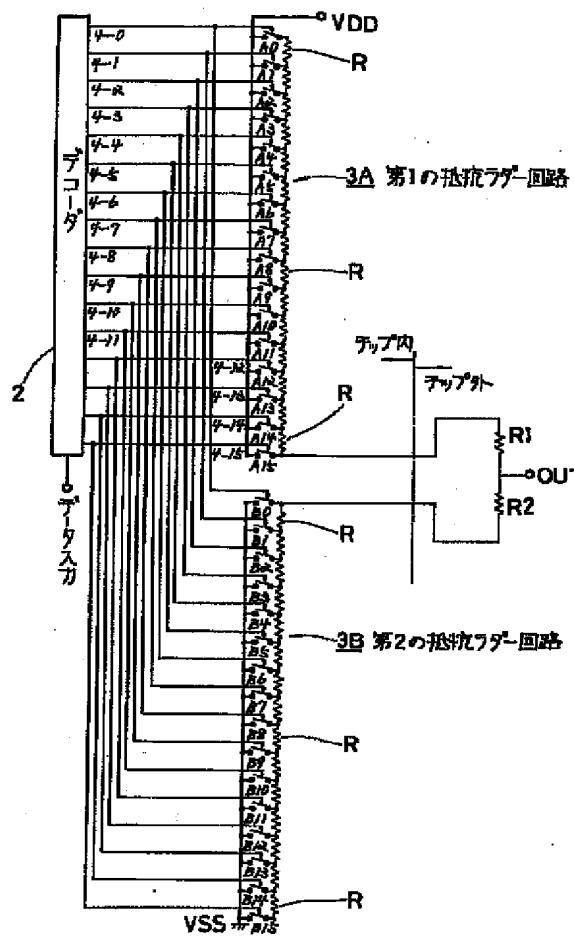
【図18】



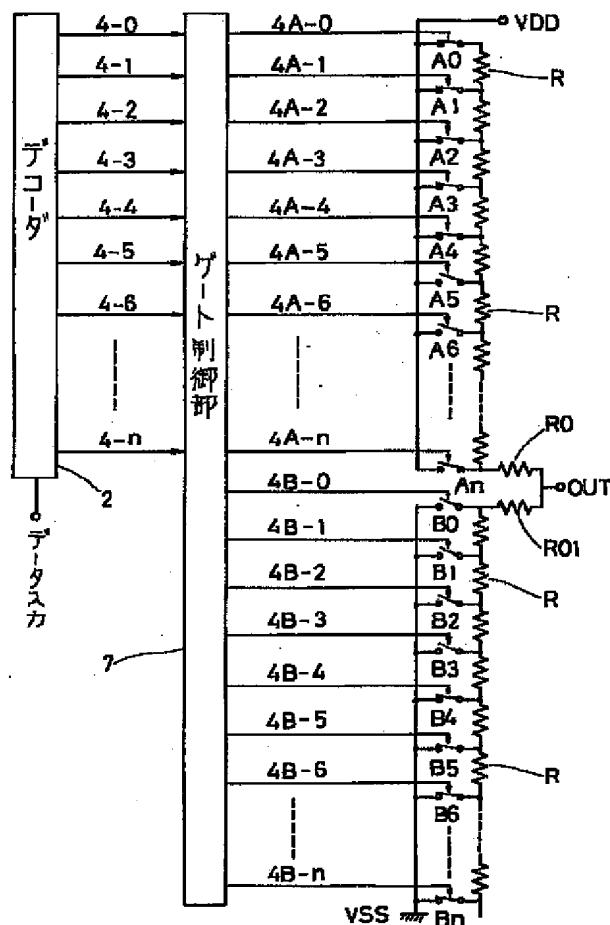
【図6】



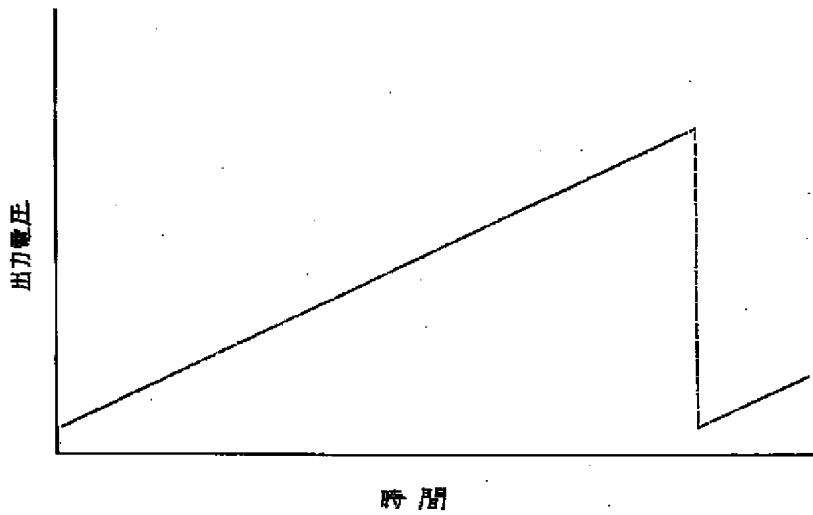
【図5】



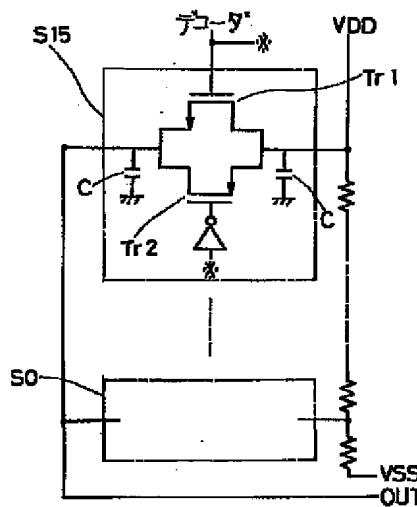
【図7】



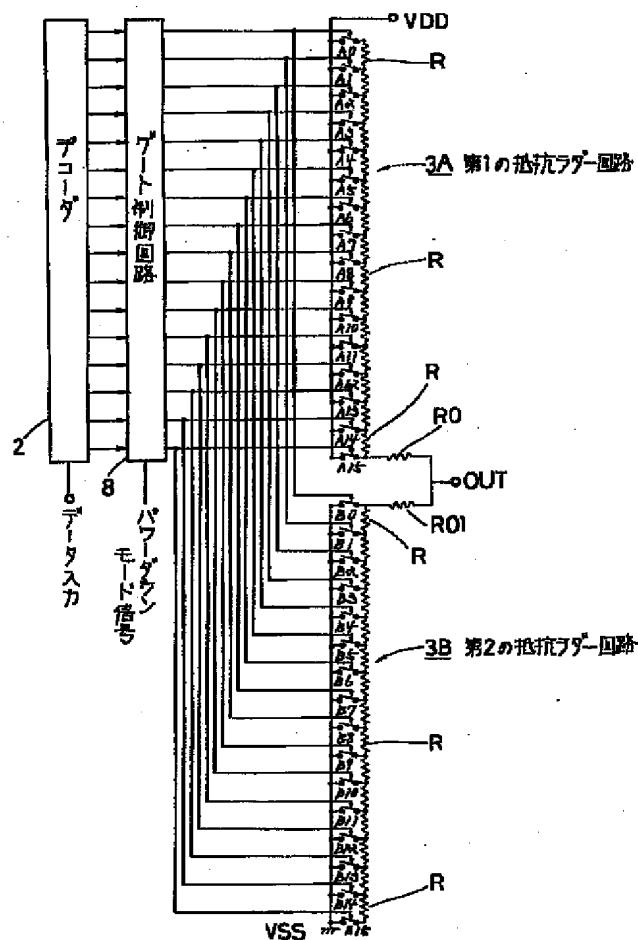
【図9】



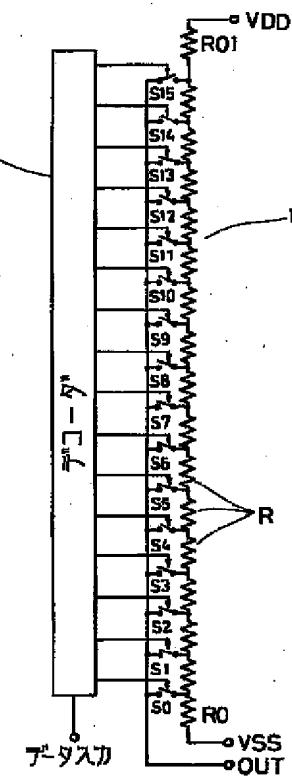
【図19】



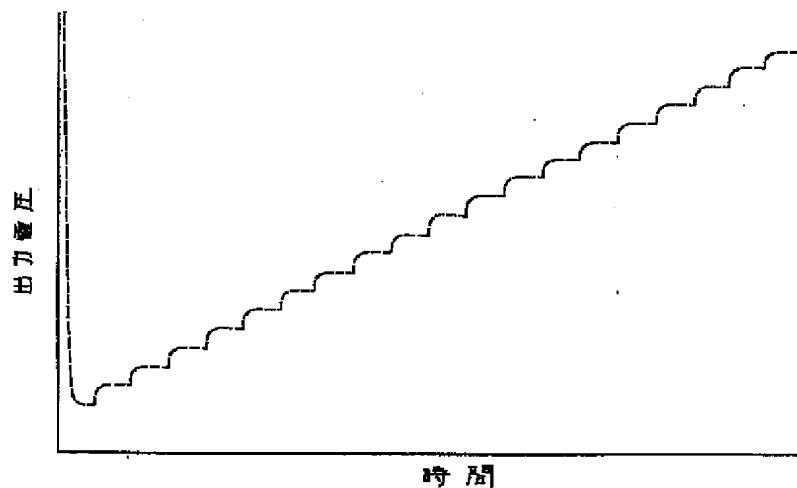
【図8】



【図17】



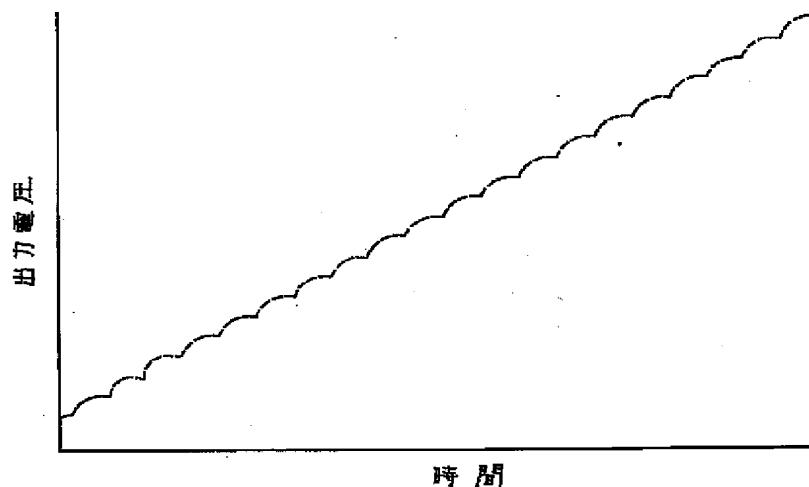
【図10】



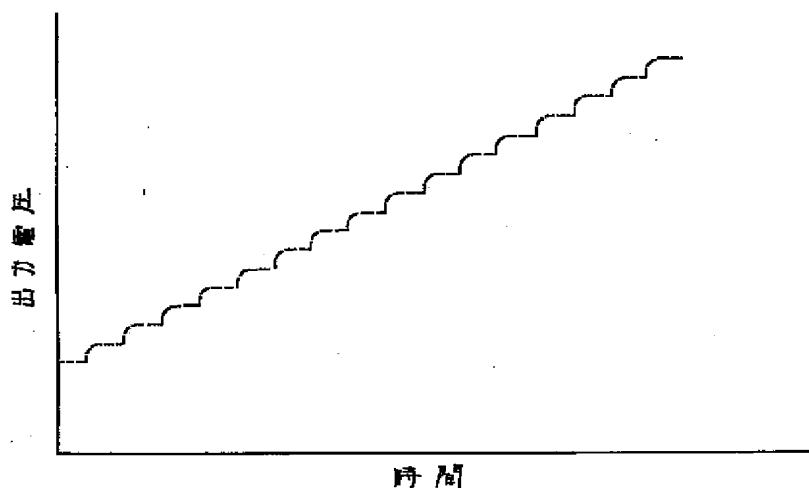
(11)

特開平10-4354

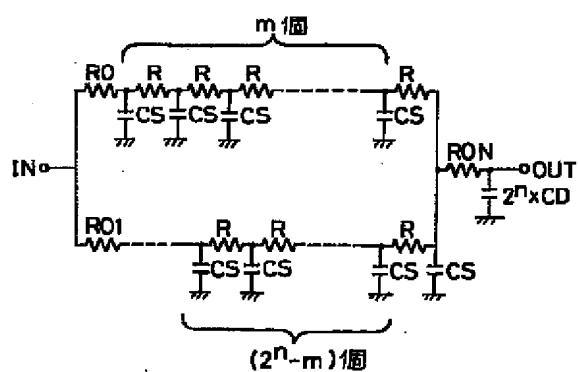
【図11】



【図12】



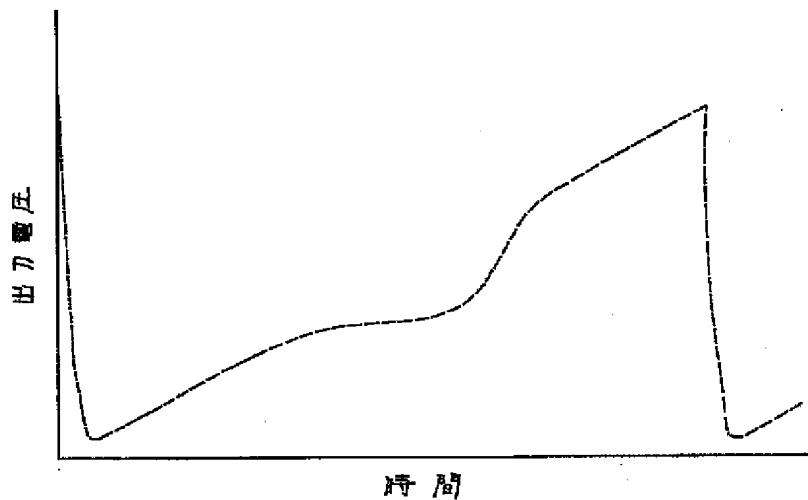
【図20】



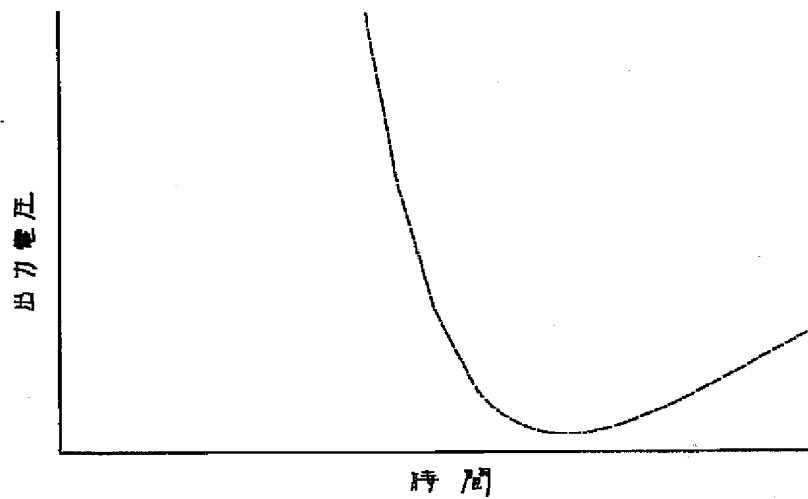
(12)

特開平10-4354

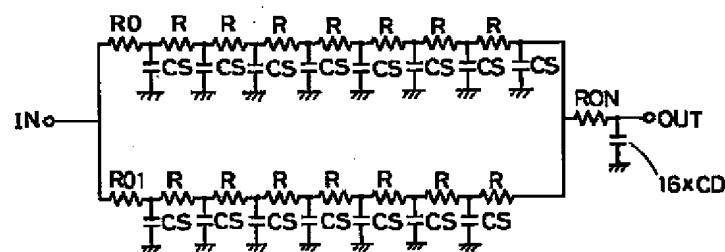
【図13】



【図14】



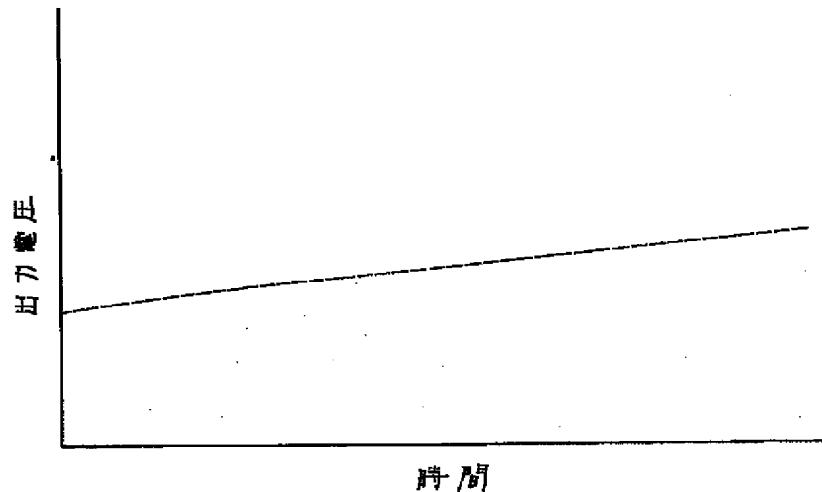
【図21】



(13)

特開平10-4354

【図15】



【図16】

